



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11238806 A**(43) Date of publication of application: **31 . 08 . 99**

(51) Int. Cl.

H01L 21/8234**H01L 27/088**(21) Application number: **10041454**(71) Applicant: **SHARP CORP**(22) Date of filing: **24 . 02 . 98**(72) Inventor: **KITADE AKIO**(54) **SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE**

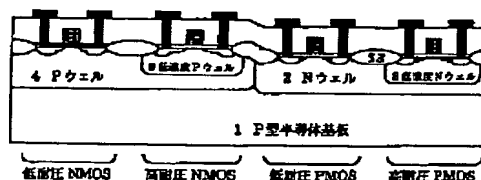
breakdown strength threshold setting NMOS.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method which enables formation of a semiconductor device having stable electric characteristics and a semiconductor element domain of high breakdown strength without increasing the number of masks.

SOLUTION: A process that has a circuit element having different withstand voltages of at least well domains of No.1, No.2 and well domains of No.3, No.4, and after forming No.1 N-well domain 2 and No.2 P-well domain on a semiconductor board 1, an element separation domain is formed between the N-well domain and the P-well domain, a process that No.3 N-well domain 8 having low density is formed in No.1 N-well domain by ion implantation of P-type impurity with a photo resist for a threshold setting of high breakdown strength PMOS as a mask using ion implantation of high breakdown strength threshold setting PMOS, and a process that No.4 P-well domain 9 having low density is formed in No.2 P-well domain by ion implantation of N-type impurity with a photo resistor for a threshold value setting of high breakdown strength NMOS as a mask using ion implantation of high



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-238806

(43)公開日 平成11年(1999)8月31日

(51)Int.Cl.⁶H01L 21/8234
27/088

識別記号

FI

H01L 27/08

102

B

審査請求 未請求 請求項の数 2 OL (全5頁)

(21)出願番号 特願平10-41454

(22)出願日 平成10年(1998)2月24日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 北出 秋夫

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

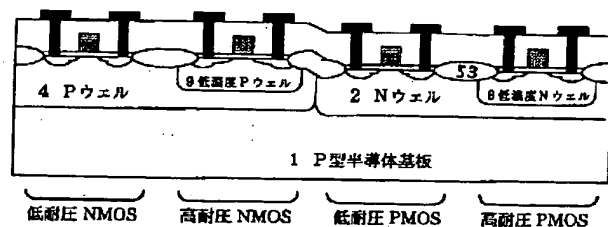
(74)代理人 弁理士 小池 隆彌

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【課題】 安定した電気的特性を可能とする半導体装置及び高耐圧半導体素子領域形成のためにマスク数を増加させることなく製造することができる製造方法を提供する。

【解決手段】 少なくとも第1、第2のウエル領域と第3、第4のウエル領域とが異なる耐圧の回路素子を有し、半導体基板1に第1のNウエル領域2と第2のPウエル領域4を形成後素子分離領域を該Nウエル領域とPウエル領域との間に形成する工程と、第1のNウエル領域に高耐圧PMOSの閾値設定用のフォトレジストをマスクとしてP型不純物をイオン注入で行い低濃度の第3のNウエル8を形成し、マスクを用いて高耐圧PMOSの閾値設定のイオン注入を行う工程と、第2のPウエル領域に高耐圧の閾値設定用のフォトレジストをマスクとしてN型不純物をイオン注入で行い低濃度の第4のPウエル9を形成し、マスクを用いて高耐圧NMOSの閾値設定のイオン注入を行う工程により製造する。



【特許請求の範囲】

【請求項 1】 半導体基板上に耐圧の異なる回路素子を有する半導体装置において、半導体基板に第 1 導電型の第 1 のウエル領域と第 2 導電型の第 2 のウエル領域を有し、前記第 1 のウエル領域に第 1 導電型の第 3 のウエル領域を有し、前記第 2 のウエル領域に第 2 導電型の第 4 のウエル領域を有し、少なくとも前記第 1、第 2 のウエル領域と第 3、第 4 のウエル領域とが異なる耐圧の回路素子を有することを特徴とする半導体装置。

【請求項 2】 半導体基板に第 1 の N ウエル領域と第 2 の P ウエル領域を形成後素子分離領域を該 N ウエル領域と該 P ウエル領域との間に形成する工程と、第 1 の N ウエル領域に高耐圧 PMOS の閾値設定用のホトレジストをマスクとして P 型不純物をイオン注入で行い低濃度の第 3 の N ウエルを形成し、該マスクを用いて高耐圧 PMOS の閾値設定のイオン注入を行う工程と、第 2 の P ウエル領域に高耐圧の閾値設定用のホトレジストをマスクとして N 型不純物をイオン注入で行い低濃度の第 4 の P ウエルを形成し、該マスクを用いて高耐圧 NMOS の閾値設定のイオン注入を行う工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高耐圧の半導体素子と低耐圧の半導体素子を混載する半導体装置、特に高耐圧の半導体素子と制御用の低耐圧半導体素子を混載したウエル構造をなす半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来、耐圧の異なる半導体素子を混載した半導体装置、高耐圧の半導体素子と制御用の半導体素子とその製造方法については、特開平 6 - 1 5 1 7 2 号公報に開示されている。その製造方法を図 4 を参照し説明する。

【0003】図 4 (a) に示すように、基板濃度 $5 \times 10^{14} \text{ cm}^{-3}$ の P 型半導体基板 1 上に公知のホトリソグラフィ技術、更にはイオン打ち込み技術でリンを $1.5 \times 10^{13} \text{ イオン/cm}^2$ 導入し、 1200°C で 5 時間の熱処理を行い N ウエル層 2、3 を形成する。

【0004】次いで、公知のホトリソグラフィ技術、更にはイオン打ち込み技術によりボロンを $1.0 \times 10^{13} \text{ イオン/cm}^2$ 導入し、再び 1200°C で 5 時間の熱処理を行い、図 4 (b) に示すように、N ウエル 2 層の一部を含むように P ウエル層 4 を形成する。ここで、その重なった領域 4 1 が形成される。

【0005】図 4 (c) に示すように、公知の製造方法により、ウエル層のない領域すなわち P 型半導体基板 1 そのものの領域と、重なった領域 4 1 には、それぞれ L

DD 構造の高耐圧のトランジスタを形成し、N ウエル層 3 のみの領域と P ウエル層 4 のみの領域には低耐圧のトランジスタを形成する。

【0006】

【発明が解決しようとする課題】上記従来の製造方法では、ウエル形成、例えば重なった領域形成を 2 回のホトリソグラフィ技術により達成しているが、その後のトランジスタの形成については公知の技術により形成するので全工程を通して考えると、高耐圧半導体素子の形成のためにマスク数が増加することになる。

【0007】そして、このようにして得られた、高耐圧部の NMOS トランジスタは基板 1 上に形成されており、基板 1 はリーク電流をうけることから、NMOS トランジスタの電気的特性が不安定となっている。

【0008】そこで、本発明は、この点に鑑み、安定した電気的特性を可能とする半導体装置及び高耐圧半導体素子領域形成のためにマスク数を増加させることなく製造することができる製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の半導体装置は、半導体基板上に耐圧の異なる回路素子を有する半導体装置において、半導体基板に第 1 導電型の第 1 のウエル領域と第 2 導電型の第 2 のウエル領域を有し、前記第 1 のウエル領域に第 1 導電型の第 3 のウエル領域を有し、第 2 の P ウエル領域に第 2 導電型の第 4 のウエル領域を有し、少なくとも前記第 1、第 2 のウエル領域と第 3、第 4 のウエル領域とが異なる耐圧の回路素子を有することを特徴とする。

【0010】本発明の半導体装置の製造方法は、前記半導体基板に第 1 の N ウエル領域と第 2 の P ウエル領域を形成後、素子分離領域を該 N ウエル領域と該 P ウエル領域との間に形成する工程と、第 1 の N ウエル領域に高耐圧 PMOS の閾値設定用のホトレジストをマスクとして P 型不純物をイオン注入で行い低濃度の第 3 の N ウエルを形成し、該マスクを用いて高耐圧 PMOS の閾値設定のイオン注入を行う工程と、第 2 の P ウエル領域に高耐圧の閾値設定用のホトレジストをマスクとして N 型不純物をイオン注入で行い低濃度の第 4 の P ウエルを形成し、該マスクを用いて高耐圧 NMOS の閾値設定のイオン注入を行う工程を有することを特徴とする。

【0011】本発明の作用を以下に説明する。本発明の半導体装置は、高耐圧半導体素子をウエル内に形成しているから、安定した電気的特性のものとすることができる。更に、高耐圧半導体素子を形成するウエル領域は NMOS、PMOS それぞれの閾値設定用の注入マスクを利用し、その後閾値設定のイオン注入することで、同じマスクを複数回使用できることから、全工程を通じてマスク枚数の増加することを抑制することができる。

【0012】

【発明の実施の形態】（実施の形態 1）本発明の半導体装置の実施の形態 1 として、耐圧の異なる半導体素子の例について、図 1 を参照し説明する。図 1 は実施の形態 1 の半導体装置を模式的に説明する断面図である。

【0013】P 型半導体基板 1 上に、N ウェル層 2 と P ウェル層 4 がある。N ウェル層 2 内には一部分の領域に P 型不純物の注入により形成されている低濃度の N ウェル層 8 を有し、この N ウェル層 2 内において該 P 型不純物の注入されていないままの領域に低耐圧の PMOS が形成され、該 N ウェル層 8 内において高耐圧 PMOS が形成されている。P ウェル層 4 内には一部分の領域に N 型不純物の注入により形成されている低濃度の P ウェル層 9 があり、P ウェル層 4 内において低耐圧 NMOS が形成され、該 P ウェル層 9 内に高耐圧 NMOS が形成されている。尚、53 は素子分離領域である。

【0014】ここで高耐圧 PMOS、高耐圧 NMOS はそれぞれ N ウェル層 8 内に、P ウェル層 9 内に位置しており、安定な電気的特性がえられる。そして、MOS トランジスタのバックゲートをウェルコンタクトから供給できるためトランジスタの電気的特性が安定となる。

【0015】（実施の形態 2）本発明の実施の形態 2 として、上記半導体装置の製造方法の例について図 2～3 を参照し説明する。図 2～3 はそれぞれ前記製造方法の工程を模式的に説明する断面図である。

【0016】基板濃度 $5 \times 10^{14} \text{ cm}^{-3}$ 程度の P 型半導体基板 1 上に熱酸化膜 5 を 60 nm 程度堆積させた後ホトリソグラフィ技術による処理を行い、その後イオン注入によりリンをドーズ量 $1.5 \times 10^{11} \text{ イオン/cm}^2$ 注入する（図 2（a）参照）。なお、この図において、6 は窒化膜、7 はホトレジストである。

【0017】その後、ホトレジスト 7 を除去後、熱酸化処理により酸化膜 51 を 400 nm 程度形成する。次いで、窒化膜 6 を除去する。次に、酸化膜 51 をマスクとして、ボロンをドーズ量 $5 \times 10^{11} \text{ イオン/cm}^2$ 注入する（図 2（b）参照）。

【0018】更に、酸化膜 51 をエッチングにより除去する。その後、熱酸化処理により酸化膜 52 を 30 nm 程度形成し、更に熱処理を 1100°C で 2 時間行い、N ウェル層 2 と P ウェル層 4 を形成する。次いで、窒化膜 61 を 200 nm 程度堆積する（図 2（c）参照）。

【0019】ホトリソグラフィ技術による処理を行い、窒化膜 61、酸化膜 52 を素子分離領域に対応してパターニングする（図 2（d）参照）。続いて、熱酸化処理によりロコス酸化膜 53 を形成し、素子分離領域が得られる（図 2（e）参照）。

【0020】次いで、低耐圧 NMOS の閾値設定用マスクとして、ホトリソグラフィ技術による処理を行い、P ウェル層 4 の低耐圧 NMOS を形成すべき領域に対向する部分を窓開けするようホトレジストをパターニングする。続いて、このホトレジストをマスクとして前記低耐

圧 NMOS の閾値設定のイオン注入を行う。このときのイオン注入条件として、ボロンを 20 KeV で、ドーズ量 $3 \times 10^{11} \text{ イオン/cm}^2$ で注入を行う（図 3（f）参照）。次いで、このホトレジストを除去する。

【0021】その後、低耐圧 PMOS の閾値設定用マスクとして、ホトリソグラフィ技術による処理とエッチングを行い、N ウェル層 2 の低耐圧 PMOS を形成すべき領域に対向する部分を窓開けするようホトレジストをパターニングする。続いて、このホトレジストをマスクとして前記低耐圧 PMOS の閾値設定のイオン注入を行う。このときのイオン注入条件としてボロンを 20 KeV で、ドーズ量 $3.5 \times 10^{11} \text{ イオン/cm}^2$ で注入を行う（図 3（g）参照）。次いで、このホトレジストを除去する。

【0022】次いで、高耐圧 PMOS の閾値設定用マスクとして、ホトリソグラフィ技術とエッチングによる処理を行い、N ウェル層 2 の高耐圧 PMOS を形成すべき領域に対向する部分を窓開けするようホトレジスト 71 をパターニングする（図 3（h）参照）。

【0023】その後、このパターニングされたホトレジスト 71 をマスクとして P 型不純物注入を、例えばボロンを 250 KeV でドーズ量 $1 \times 10^{11} \text{ イオン/cm}^2$ 注入し、続いて、該ホトレジスト 71 をマスクとしてボロンを 120 KeV でドーズ量 $5 \times 10^{11} \text{ イオン/cm}^2$ を注入することで段階的に不純物濃度を変え、低濃度の N ウェル層 8 を形成する。尚、この低濃度の N ウェル層 8 の形成は、公知のイオン打ち込み技術により P 型不純物を打ち込み、熱処理を行って形成してもよい。

【0024】その後、該ホトレジスト 71 をマスクとして高耐圧 PMOS の閾値設定のイオン注入を行う。このときのイオン打ち込み条件として、ボロンを 20 KeV で、ドーズ量 $3 \times 10^{11} \text{ イオン/cm}^2$ で注入する。尚、注入の順序は上記に限定されるものではなく、入れ替えることもできる。

【0025】次いで、高耐圧 NMOS の閾値設定用マスクとして、ホトリソグラフィ技術による処理を行い、P ウェル層 2 の高耐圧 NMOS を形成すべき領域に対向する部分を窓開けするようホトレジスト 72 をパターニングする（図 3（i）参照）。

【0026】その後、このパターニングされたホトレジスト 72 をマスクとして N 型不純物注入を、例えばリンを 500 KeV でドーズ量 $2 \times 10^{11} \text{ イオン/cm}^2$ 注入し、続いて、リンを 250 KeV でドーズ量 $1 \times 10^{11} \text{ イオン/cm}^2$ を注入することで段階的に不純物濃度を変え、低濃度の P ウェル層 9 を形成する。尚、この低濃度の P ウェル層 9 の形成は、公知のイオン打ち込み技術により N 型不純物を打ち込み、熱処理を行って形成してもよい。

【0027】その後、該ホトレジスト 72 をマスクとして高耐圧 NMOS の閾値設定のイオン注入を行う。この

ときのイオン打ち込み条件として、ボロンを 2.0 KeV で、ドーズ量 1×10^{11} イオン/cm で注入する。尚、注入の順序は上記に限定されるものではなく、入れ替えることもこともできる。

【0028】その後、従来技術と同様に、高耐圧 CMOS 部である低濃度 N ウェル 8、低濃度 P ウェル 9 には、LDD トランジスタを形成し、低耐圧 CMOS である N ウェル 2、P ウェル 4 には通常のトランジスタを形成する (図 3 (j) 参照)。

【0029】この実施の形態 2 においては、高耐圧 NMOS、PMOS を形成するウェル領域は閾値設定用マスクを利用することができるので、全工程でのマスク枚数の増加が抑制される。そして、高耐圧 NMOS、高耐圧 PMOS のウェル形成はイオン注入を段階的に行うので、高温の熱処理を削減することもできる。

【0030】上記実施の形態においては、高耐圧 NMOS トランジスタ、PMOS トランジスタとして、LDD 構造の例を挙げたが、これに限らずオフセット構造でも良く、他の回路素子でも適用できるのは言うまでもない。そして、上記実施の形態においては、P 型半導体基板を用いたが、N 型半導体基板を用いてよいのも言うまでもない。

【0031】

【発明の効果】本発明の半導体装置は、高耐圧半導体素子をウェル内に形成しているから、安定した電気的特性

のものとしてすることができる。本発明の半導体装置の製造方法は、高耐圧半導体素子を形成するウェル領域は NMOS、PMOS それぞれの閾値設定用の注入マスクを利用し形成し、その後閾値設定のイオン注入することで、同じマスクを複数回使用できることから、全工程を通じてマスク枚数の増加することを抑制することができる。

【図面の簡単な説明】

【図 1】本発明の半導体装置の実施の形態 1 を模式的に示す断面図である。

【図 2】本発明の半導体装置の製造方法の実施の形態 2 の製造工程を模式的に説明する断面図である。

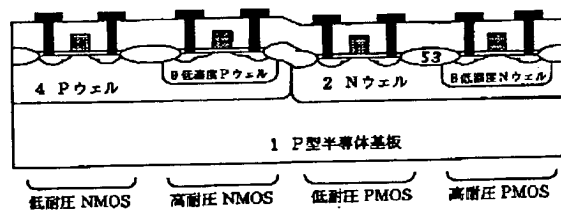
【図 3】本発明の半導体装置の製造方法の実施の形態 2 の製造工程を模式的に説明する断面図である。

【図 4】従来の半導体装置の製造工程を模式的に説明する断面図である。

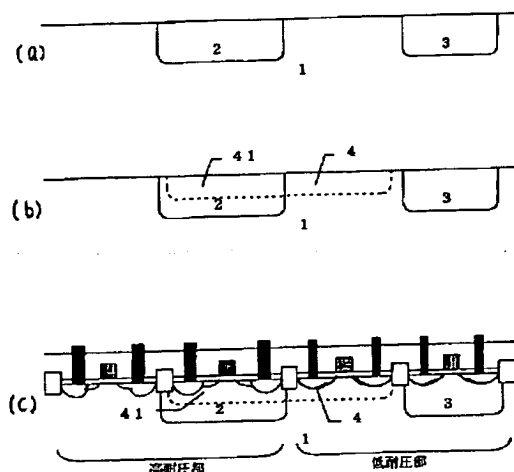
【符号の説明】

1	P 型半導体基板
2、3	N ウェル層
4	P ウェル層
4 1	重なった領域
5、5 1、5 2、5 3	酸化膜
6、6 1	窒化膜
7、7 1	フォトレジスト
8	低濃度の N ウェル層
9	低濃度の P ウェル層

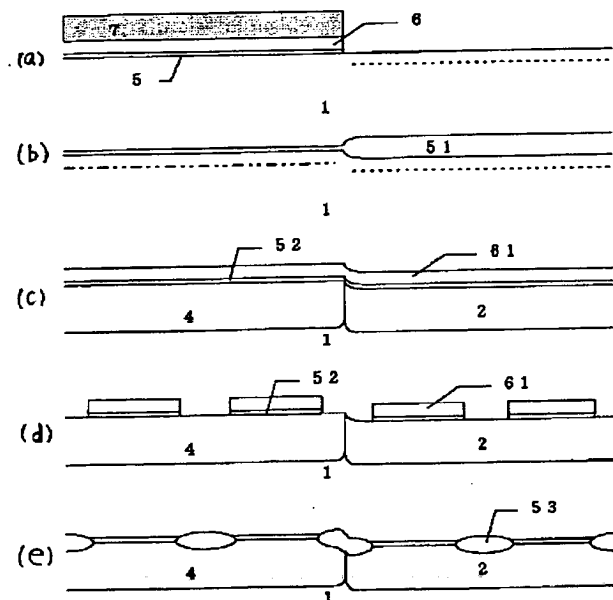
【図 1】



【図 4】



【図 2】



【図 3】

